

[First Hit](#) [Previous Doc](#) [Next Doc](#) [Go to Doc#](#)**End of Result Set**☐ [Generate Collection](#) [Print](#)

L1: Entry 1 of 2

File: JPAB

Dec 13, 1982

PUB-NO: JP357203293A

DOCUMENT-IDENTIFIER: JP 57203293 A

TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT

PUBN-DATE: December 13, 1982

INVENTOR-INFORMATION:

NAME

COUNTRY

TAMURA, SADAJI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

NEC CORP

APPL-NO: JP56088995

APPL-DATE: June 10, 1981

US-CL-CURRENT: 365/105

INT-CL (IPC): G11C 17/06; H01L 27/10

ABSTRACT:

PURPOSE: To produce a highly integrated and quickly operating programmable semiconductor integrated storage circuit form miniaturized memory cells with small parasitic capacitance by using diodes to be opened by prescribed current or voltage or more as storage elements.

CONSTITUTION: A PROM or the like is formed by a diode array 42 in which storage elements 41, 41,... using p-n junction diodes consisting of polycrystal silicic acid which are opened by prescribed forward or backward current or voltage or more are connected like a matrix. When a required element 41 is opened by forward bias voltage or the like through X and Y drivers 44, 46, writing is started. By using the miniaturized diodes with small parasitic capacitance as memory cells, the programmable semiconductor integrated storage circuit can be highly integrated and quickly operated.

COPYRIGHT: (C)1982, JPO&Japio

[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭57-203293

⑮ Int. Cl.³
G 11 C 17/06
H 01 L 27/10

識別記号

庁内整理番号
6549-5B
6749-5F

⑯ 公開 昭和57年(1982)12月13日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ 半導体集積回路

東京都港区芝五丁目33番1号日

本電気株式会社内

⑰ 特 願 昭56-88995

⑱ 出 願 人 日本電気株式会社

⑲ 出 願 昭56(1981)6月10日

東京都港区芝5丁目33番1号

⑳ 発 明 者 田村貞二

㉑ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

- (1) 順方向又は逆方向に一定以上の電流又は電圧を加えることにより開放となるダイオードを用いて構成したダイオード・アレイと、目的のダイオードを選択し、そのダイオードを開放とするための電流を流す手段を有する半導体集積回路。
- (2) 上記ダイオードが多結晶硅素の P-N 接合でできていることを特徴とする特許請求の範囲第(1)項記載の半導体集積回路。

3. 発明の詳細な説明

本発明は電氣的に書き込みができる記憶素子を持つ半導体集積回路に関するものである。

電氣的に書き込み可能な記憶素子(以下、プロ

グラマブル素子)は、プログラマブル・リード・オンリー・メモリ(PROM)や、フィールド・プログラマブル・ロジック・アレイ(FPLA)等の集積回路に用いられる。この場合、プログラマブル素子は選択的に読み出し、書き込みができるように、すなわち、相互間を電氣的に分離できるようにデカップル素子と対となって1セルを構成し、このセルがX線群とY線群の交点に配され、アレイを構成する。

PROMやFPLA等のプログラマブル集積回路を高集積化、高速化する場合、そのセルに必要とされる要件は、(i)セルの面積が小さい事、(ii)セルの寄生容量が小さい事である。

従来より使われているセルの代表的な例を第1図に示す。同図(a)ではプログラマブル素子はヒューズ11で、デカップル素子は増幅を兼ねたトランジスタ12である。ヒューズ11は、未書き状態ではオーム性であり、一定以上の電力を加えると開放となる。同図(b)ではプログラマブル素子はヒューズ13であり、デカップル素子はショット

キ・バリア・ダイオード(8BD)14である。同図(C)はベース開放の1つのトランジスタ15のみであるが、これは等価的に逆直列接続の2つのPN接合ダイオードで表わせる。ここでベース・エミッタ接合がプログラマブル素子となり、ベース・コレクタ接合がデカップル素子である。この方式ではベース・エミッタダイオードに逆方向に(トランジスタで言えばエミッタからコレクタの方向)一定以上の電流を流して短絡させる。

この3つの従来例を、先に挙げた高密度化、高速化の要件に照らして見ると、第1図(a)は1セルにトランジスタのエミッタ及びベースコンタクト及びヒューズが入り、同じ設計ルールで設計すれば1番大きくなる。第1図(b)はヒューズと8BD用の穴だけでよく比較的小さくできる。第1図(C)はエミッタの穴1つでよいので一番小さくできる。しかし第1図(b)の8BDのカソード及び第1図(C)のコレクタ(共にX線側)には、基板との接合容量が付き、スピードを遅くするという欠点がある。

本発明の目的は上記の従来例のような欠点のな

いすなわち、小型で寄生容量の小さなセルを使い、高集積度の高速なPROM又はFPLAのようなプログラマブル集積回路を提供することにある。

本発明では、一定以上の電流を流すことにより開放となるダイオードでダイオード・アレイを作れば、このダイオードはプログラマブル素子とデカップル素子の両方の働きを兼ねるので、1素子でセルを構成できることに注目する。このダイオードは未書きならデカップル素子として働き、書き込んで開放とすればプログラマブル素子の働きをする。書き後はデカップル素子もなくなるが、短絡ではなく、開放となるのでなくてよい。

また本発明では多結晶硅素のPN接合ダイオードが一定以上の電流又は電圧を加える事で開放となるという実験的事実に注目する。

また本発明では、このダイオードが絶縁膜上に作られるので基板との寄生容量を従来のものと比べ非常に小さくできることに注目する。

本発明では、一定以上の電流又は電圧を加えることにより開放となるダイオードを用いて、ダイ

オード・アレイを構成し、目的のダイオードに選択的に電流を流す回路を配して、PROMやFPLAのようなプログラマブル集積回路を構成する。上記ダイオード特性は多結晶硅素のPN接合を用いることにより実現できる。このようにして、上記目的は本発明により達成される。

次に図面を用いて本発明の説明を行う。

第2図に本発明で用いるポリシリダイオードの断面図を示す。平面的幅は 3μ としてある。このダイオードは以下のように作られる。半導体基板21の上面を覆う酸化膜22上に多結晶硅素を成長し、窒化硅素膜で覆い、光蝕刻技術を用いて多結晶硅素で素子を形成したい部分の窒化硅素膜のみを残し、他の領域を選択的に下の酸化膜22に達するまで酸化する(23)。次に窒化膜の右半分を取り除き、ボロンを拡散の後、表面を酸化する。さらに残りの窒化膜を除去して磷を拡散の後、表面を酸化する。24がボロンが拡散されたP型領域、25が磷が拡散されたN型領域、26がその両方を覆う酸化膜である。次に、P側、N側両方

にコンタクト用開孔27を明け、配線を行う(28、29)。

このダイオード自体の面積は約 $40\mu^2$ であるが、アレイとして構成した時でも1セル当り $200\mu^2$ 以下で従来例第1図の(a)の約 $1/4$ 、(C)の最少のもの約半分となる。

またこのダイオードのカソード側の寄生容量は256コ並んだ場合、配線も含めて $1\mu F$ 以下である。従来例第1図(b)、(c)の場合 $10\mu F$ 前後であるから、実に10分の1に激減できる。

このダイオードの電気的特性を第3図に示す。書き込むときは逆方向に $30\sim 50\text{mA}$ 以上の電流を流す事で開放にできる。順方向でも同様に書き込む事ができる。電流を増せば書き込み時間が短くてきる。ダイオードの両端に定電圧を加えても開放にする事ができる。逆方向に電圧を加えるときは 6V 以上でよく、順方向の場合は約 4.5V でよい。これらの電流・電圧は多結晶硅素形成時の条件や形成後の熱の加わり方により変わる。

次に第4図に本発明の1つの応用例である64K

ビット・4出力のPROMの書き込み系の構成を示す。書き込みによって開放となるダイオード41がダイオードアレイ42を構成する。X側アドレス入力 $A_0 \sim A_7$ はXデコーダ43に入り、その256本の出力が各々Xドライブ44に入り、ダイオードアレイのX線につながる。Y側アドレス入力 $A_8 \sim A_{13}$ は4コのYデコーダ45に並列に入り、各々のYデコーダ45から出た出力線はYドライブ46につながる。各々のYドライブ46には書き込み電圧供給用端子47がそれぞれ付いている。

X、Yドライブの回路例を第5図(a)、(b)に示す。図中の番号は第4図のものとは一致させてある。

この回路では、ダイオードに順方向に電圧をかけて書き込む。この場合、目的のダイオード以外のダイオードが、順方向一逆方向一順方向とつながった形で、目的のダイオードの両端に並列に接続されている事になるので、他のセルへ書き込み電圧があまり漏れないようにするには、2倍の順方向電圧と逆耐圧の和より低い電圧で書き込む必要がある。前に挙げたダイオードでは、順方向電圧(電

流 $0.1 \mu A$)の2倍は $1V$ 、逆耐圧($0.1 \mu A$)は $4.5V$ であったから、その和 $5.5V$ より低い電圧ならよい。また書き込み電圧は $4.5V$ 以上あればよいので、この回路構成で書き込むときは、適当なアドレスを決めた後、書き込み端子(第4図、第5図47)に $2.5V \sim 3.5V$ かければよい。(ダイオードには約 $4.5V \sim 5.5V$ かかる)。

上記実施例では書き込みは順方向バイアスによって行ったが、逆方向バイアスで行う事もできる。例えば第4図で、ダイオードの向きをすべて逆にすればよい。この場合、書き込み電流の他のダイオードへの漏れは、2倍の逆耐圧と1つの順方向電圧の和より高い電圧で起る。前記ダイオードではこれが $9.5V$ となる。逆方向に電圧をかけて書き込む場合 $6.0V$ 必要であったから、この例ではダイオードに $6.0 \sim 9.5V$ かかるようにすれば書き込む。前に述べたように書き込み電圧電流は、多結晶硅素の作成条件により変わるので、それに応じて変える必要がある。

以上述べたように本発明によれば1セルの占有

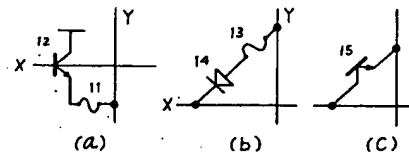
面積が小さくてできるので集積度を高くでき、1セルに付く寄生容量が従来例に比べ激減できるので速度を大幅に向上できる。

4. 図面の簡単な説明

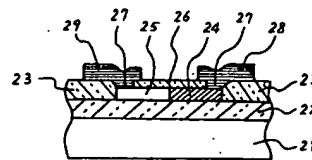
第1図はプログラマブル素子の従来例を示す図、第2図は本発明の中で用いる多結晶硅素PN接合ダイオードの例を示す図、第3図は上記ダイオードの電気的特性を示す図、第4図は本発明の実施例である64KビットPROMの書き込み系を示す図、第5図は実施例に用いたXドライブ及びYドライブを示す図である。

21……半導体基板、22……酸化膜、23……酸化膜、24……多結晶硅素P型領域、25……N型領域、28……配線、41……多結晶硅素PNダイオード、42……ダイオードアレイ、44……Xドライブ、46……Yドライブ。

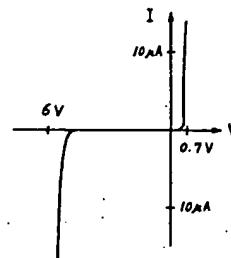
代理人 弁理士 内 原 晋



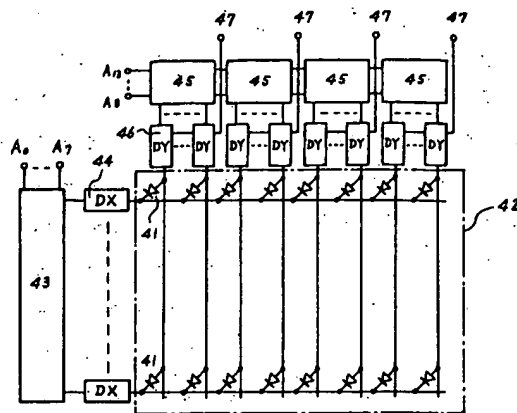
第1図



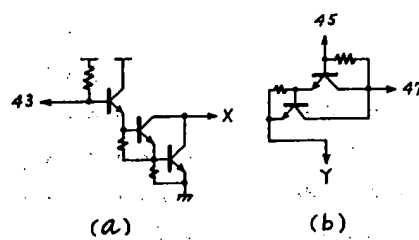
第2図



第3図



第 4 図



第 5 図